

Anneld.

5

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08201486 A**

(43) Date of publication of application: **09.08.96**

(51) Int. Cl.

G01R 31/317
G01R 31/28
H01L 21/66

(21) Application number: **07026175**

(71) Applicant: **NEC CORP**

(22) Date of filing: **20.01.95**

(72) Inventor: **SANADA KATSU**

**(54) SYSTEM FOR FOCUSING ON FAULT POSITION
IN CMOS LOGIC CIRCUIT USING IDDQ**

(57) Abstract:

PURPOSE: To efficiently detect a fault position by using a logic operation test pattern in which the static state power source current of the logic operation generated at the time of inputting a signal exceeds a standard value.

CONSTITUTION: The static state power source current iddq value of an LSI for each logic operation test pattern (FTP) is measured, and the FTP in which the iddq value exceeds a standard value is extracted. Basic logic circuits (block) of change and no change are extracted by a logic simulation based on the extracted FTP. That

is, in the case of generating the iddq abnormal value, there are a discrete generation mode and a continuous generation mode. In the case of the former, the block changing at the time of transferring from one previous FTP and the block changing at the time of transferring to next FTP are extracted. In the case of the latter, the block changing at the time of transferring from one previous FTP and the block of no change at the time of transferring to next FTP are extracted. A list of the FTPs and the extracted blocks is formed, and the blocks which are reacted at all the FTPs are detected based on the list.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-201486

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/317

31/28

H 0 1 L 21/66

F

G 0 1 R 31/ 28

A

F

審査請求 有 請求項の数 9 F D (全 10 頁)

(21) 出願番号

特願平7-26175

(22) 出願日

平成7年(1995)1月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 真田 克

東京都港区芝五丁目7番1号 日本電気株式会社内

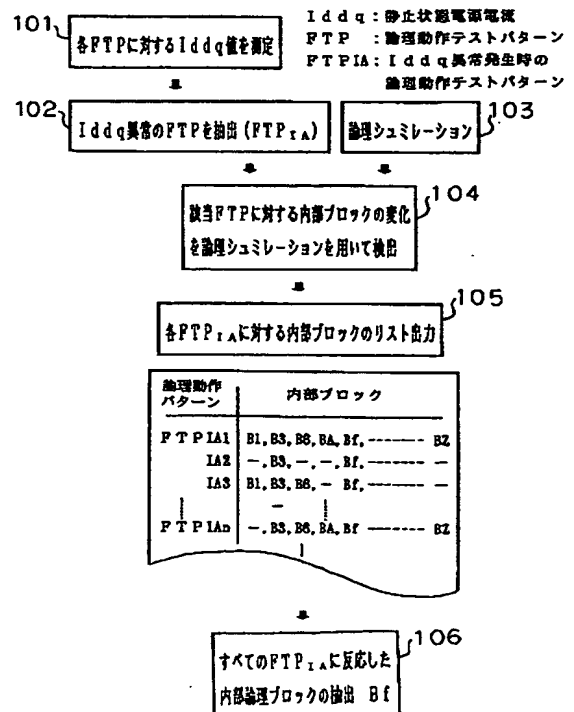
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 I d d q を用いた CMOS 論理回路の故障箇所の絞り込み方式

(57) 【要約】

【目的】 CMOS 論理 L S I の故障箇所の検出において、静止状態電源電流 I d d q の測定値と論理動作テストパターンに基づき、故障箇所を効率的に検出する方式の提供。

【構成】 I d d q 異常となる論理動作テストパターンとして、I d d q 異常値が飛び飛びに発生する場合と連続して発生する場合に対応して、L S I 設計時の論理シミュレーションを用い、異常電流を有する論理動作テストパターンと抽出ブロックのリストから故障箇所を絞り込み、故障箇所を更に詳細に絞り込み際には、信号配線のテキストデータを使用する。



【特許請求の範囲】

【請求項 1】 L S I の入力端子より入力信号を入力した時に発生する論理動作の静止状態電源電流が予め定められた所定値を越える論理動作テストパターンを用いて、前記 L S I の内部回路の異常箇所を絞り込むことを特徴とする故障箇所の絞り込み方式。

【請求項 2】 論理シミュレーションを用いて基本的論理回路単位の回路の抽出を行なうことを特徴とする請求項 1 記載の故障箇所の絞り込み方式。

【請求項 3】 前記論理動作の静止状態電源電流が前記予め定められた所定値を越える論理動作テストパターンが不連続状態で発生している時、前記静止状態電源電流が前記予め定められた所定値を越える論理動作テストパターン (n) の 1 つ前の論理動作データ (n-1) から論理動作テストパターン (n) に移行した時に変化する基本的論理回路単位の回路と、論理動作テストパターン (n) から次の論理動作テストパターン (n+1) へ移行した時に変化する基本的論理回路単位の回路を検出することを特徴とする請求項 1 記載の故障箇所の絞り込み方式。

【請求項 4】 前記論理動作の静止状態電源電流が前記予め定められた所定値を越える論理動作テストパターンがある論理動作テストパターン (m) から論理動作テストパターン (m+a) まで連続して続く時、前記論理動作テストパターン (m) の 1 つ前の論理動作テストパターン (m-1) から前記論理動作テストパターン (m) に移行したときに変化する基本的論理回路単位の回路と、前記論理動作テストパターン (m) から前記論理動作テストパターン (m+a) に移行した時に変化しない基本的論理回路単位の回路と、論理動作テストパターン (m+a) から論理動作テストパターン (m+a+1) に移行した時に変化する基本的論理回路単位の回路と、を検出することを特徴とする請求項 1 記載の故障箇所の絞り込み方式。

【請求項 5】 前記論理動作の静止状態電源電流が前記予め定められた所定値を越える論理動作テストパターンが複数個発生している時、前記静止状態電源電流が前記予め定められた所定値を越える各論理動作テストパターンと、該論理動作テストパターンにて検出した故障推定箇所のリストを作成し、該リストからすべての前記論理動作テストパターンにて検出された L S I の故障推定箇所を絞り込むことを特徴とする請求項 3 又は 4 記載の故障箇所の絞り込み方式。

【請求項 6】 前記論理動作の静止状態電源電流が前記予め定められた所定値を越える論理動作テストパターンが複数個発生している時の故障箇所の絞り込みは、最初に検出した静止状態電源電流が規格値を越える論理動作テストパターンにて推定した故障箇所をもとに、以後の静止状態電源電流が規格値を越える論理動作テストパターンにて推定した故障箇所以外の非故障箇所を順次消去し

ていくことにより L S I の故障推定箇所を絞り込むことを特徴とする請求項 3 又は 4 記載の故障箇所の絞り込み方式。

【請求項 7】 前記論理動作の静止状態電源電流が前記予め定められた所定値を越える論理動作テストパターンにて検出した故障推定箇所をもとに、論理動作の静止状態電源電流が正常な論理動作テストパターンにて検出された正常推定箇所を順次消去し、L S I の故障推定箇所を絞り込むことを特徴とする請求項 3 又は 4 記載の故障箇所の絞り込み方式。

【請求項 8】 前記故障推定箇所が、基本的論理回路単位の回路であることを特徴とする請求項 5~7 のいずれか一に記載の故障箇所の絞り込み方式。

【請求項 9】 前記故障推定箇所が、論理シミュレーションにて規定された信号配線であることを特徴とする請求項 5~7 のいずれか一に記載の故障箇所の絞り込み方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、L S I の故障検出方式に関し、特に、C M O S 論理 L S I の故障箇所絞り込む方式に関する。より詳細には、本発明は、論理動作の静止状態電源電流 (I d d q) が規格値を越える時の論理動作テストパターンに注目した C M O S 論理 L S I の故障箇所絞り込み方式に関する。

【0002】

【従来の技術】 従来の非破壊で L S I の故障箇所を絞り込む方式 (故障箇所検出方式) は、例えば図 10 に示すように、L S I の入力端子より所定の入力信号を入力した時に出力端子から出力する信号が期待値と異なっていた時、その出力値と期待値の相違を利用して、故障箇所を推論しており、通常故障シミュレーションによる故障箇所検出手法が用いられていた。

【0003】 故障シミュレーションは L S I 内部に故障を仮定した時、F T P (Functional Test Pattern; 機能テストパターン) と称する論理動作テストパターンの入力により出力端子からの出力値をシミュレーションするものであり、その結果は故障辞書 (Fault Dictionary) と称する、各仮定故障に対応した入出力論理状態の表としてまとめられる。

【0004】 そして、故障箇所の絞り込みは、L S I の出力端子から出力される信号 (出力値) が期待値と異なっていた時の状態をもとに、故障辞書を用いて内部の異常箇所を推測する。

【0005】

【発明が解決しようとする課題】 上述した従来の故障箇所絞り込み手法は、故障シミュレーションにて扱う故障モデルが単一縮退故障 (例えば Stuck-At-0 又は Stuck-At-1 等) のみであり、さらに故障シミュレーションとして多重縮退故障や信号間のショート不良等を感度良くシミ

ュレーションすることができないことから、一般的ではなかった。

【0006】その上、従来の手法は、LSIの出力値と期待値との不一致が検出されてはじめて故障と判断できるため、LSI回路内部に発生した故障箇所はその検出時点でのFTPをもとに不特定多数の内部回路へ遡っていかねばならず、故障シミュレーションに膨大な工数が発生するという問題があった。

【0007】さらに近時、LSIはより大規模化し、それに伴い回路構成が極めて複雑化してきている。このた

$$1 \text{ nVo} \propto (2 \sim 3) \cdot 1 \text{ nL}$$

【0009】また、上記故障シミュレーションに基づく故障診断方法は、LSIの出力端子にて出力不良が検出されて始めて故障箇所の絞り込みが可能となるため、それ以外の故障、例えば内部に故障が発生していても論理不良にはならない故障、に対しては故障箇所を絞り込むことはできなかった。

【0010】従って、本発明は上記従来技術の問題点を鑑みてなされたものであって、CMOS型論理回路のIddq異常値と論理動作テストパターンに基づき、故障箇所を大幅に絞り込むことを可能とする故障検出方式を提供することを目的とする。また、本発明は、単一縮退故障、多重縮退故障及びショート不良等の故障モードに対応できると共に、回路上に物理故障が発生しても論理不良にはならない故障に対して故障箇所の絞り込みを可能とし、故障解析の信頼度を大幅に向上する方法を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するため本発明は、LSIの入力端子より入力信号を入力した時に発生する、論理動作の静止状態電源電流が予め定められた所定値を越える論理動作テストパターンを用いて、前記LSIの内部回路の異常箇所を絞り込むことを特徴とする故障箇所の絞り込み方式を提供する。

【0012】本発明の好ましい態様は請求項2以降に記載された通りである。すなわち、本発明においては、好ましくは、論理シミュレーションが用いられ、論理動作の静止状態電源電流が予め定められた所定値を越える論理動作テストパターンに対応するLSIの基本的論理回路が抽出される。

【0013】また、本発明においては、好ましくは、論理動作の静止状態電源電流が予め定められた所定値を越える論理動作テストパターンが不連続状態で発生している時（「第1のモード」という）、前記静止状態電源電流が規格値を越える論理動作テストパターン（n）の1つ前の論理動作データ（n-1）から論理動作テストパターン（n）に移行した時に変化する基本的論理回路単位の回路と、論理動作テストパターン（n）から次の論理動作テストパターン（n+1）へ移行した時に変化する基本的論理回路単位の回路を検出することを特徴とす

め、上記故障シミュレーションを用いた故障診断は、膨大な工数にもかかわらず、故障推定箇所が多数にのぼり実用的に供するにはほど遠いものになってきた。例えば、出力端子から入力端子へ遡る時に発生する辞書の量（Vo）は一般に規格化された基本論理の数（L）の2～3乗に比例する（すなわち、次式（1）に示すように、辞書の量（Vo）の対数値は基本論理の数（L）の対数値の2～3倍に比例している）。

【0008】

【数1】

$$\dots (1)$$

る。

【0014】さらに、本発明においては、好ましくは、前記論理動作の静止状態電源電流が予め定められた所定値を越える論理動作テストパターンがある論理動作テストパターン（m）から論理動作テスト（m+a）まで連続して続く時（「第2のモード」という）、前記論理動作テストパターン（m）の1つ前の論理動作テストパターン（m-1）から前記論理動作テストパターン（m）に移行したときに変化する基本的論理回路単位の回路と、前記論理動作テストパターン（m）から前記論理動作テストパターン（m+a）に移行した時に変化する基本的論理回路単位の回路と、論理動作テストパターン（m+a）から論理動作テストパターン（m+a+1）に移行した時に変化する基本的論理回路単位の回路と、を検出することを特徴とする。

【0015】

【作用】本発明の原理・作用を以下に詳説する。CMOS（相補型MOS）論理LSI回路は、回路内部に物理的欠陥を有すると一般的にIddq（Quiescent Vdd Supply Current）と称する静止状態電源電流の異常値が検出される。この詳細は、例えば真田克他著「CMOS論理回路のIddq異常品の評価と除去方式」第23回信頼性・保全性シンポジウム、PP.253～248、1993、あるいは、M.Sanada、「New Application of laser beam to failure analysis of LSI with multi-metal layers」Microelectronics and Reliability, Vol.33, No.7, PP.993～1009、1993、にて記載されており、本発明はそのIddq値と論理動作テストパターンの関係から故障箇所を絞り込む手法であり論理シミュレーションを用いた方式である。

【0016】まず、CMOS論理LSIの入力端子よりFTP（Functional Test Pattern）と称する論理動作テストパターンを入力した時に発生する、論理動作時の静止状態電源電流Iddqが、所定の規格値を越えるFTPを抽出する。その論理動作テストパターンは二つの特徴をもっている。

【0017】第1は、FTP中でIddq異常値が発生する論理動作テストパターンが飛び飛びである時である。本発明によれば、この状態における故障箇所絞り込

み手法は、論理動作時の $I d q$ が規格値を越える論理動作 $T P$ パターン (n) の 1 つ前の論理動作 $T P$ パターン ($n - 1$) から論理動作 $T P$ パターン (n) に移行した時に変化する基本的論理回路単位の回路と、論理動作 $T P$ パターン (n) から次の論理動作 $T P$ パターン ($n + 1$) へ移行した時に変化する基本的論理回路単位の回路を検出する手法である。

【0018】第2は、 $F T P$ 中で $I d q$ 異常値が発生する $T P$ パターンが論理動作 $T P$ パターン (m) から論理動作 $T P$ パターン ($m + a$) まで連続している場合である。この状態における故障箇所絞り込み手法はまず論理動作 $T P$ パターン (m) の 1 つ前の論理動作 $T P$ パターン ($m - 1$) から論理動作 $T P$ パターン (m) に移行した時に変化する基本的論理回路単位の回路 (m) から論理動作 $T P$ パターン ($m + a$) までの移行した時に変化する基本的論理回路単位の回路と、論理動作 $T P$ パターン (m) から論理動作 $T P$ パターン ($m + a$) までの移行した時に変化する基本的論理動作 $T P$ パターン ($m + a$) から論理動作 $T P$ パターン ($m + a + 1$) に移行した時に変化する基本的論理回路単位の回路を検出する手法である。

【0019】さらに、本発明においては、論理動作における静止状態での電源電流が規格値を越える $F T P$ が複数個発生している時の故障箇所の絞り込みは3つある。

【0020】第1の方式は、該当する各論理動作 $T P$ パターンとその $T P$ パターンにて検出した故障推定箇所 $T P$ のリストを作成し、そのリストから各 $T P$ パターンについて検出された故障推定箇所を選び出す方式である。

【0021】第2の方式は、最初に検出した静止状態電源電流が規格値を越える論理動作 $T P$ パターンにて推定した故障箇所をもとに、以降の静止状態電源電流が規格値を越える論理動作 $T P$ パターンにて推定した故障箇所を消していくことにより $L S I$ の故障推定箇所を絞り込むこととを特徴とする故障箇所の絞り込み方式である。

【0022】第3の方式は、論理動作の静止状態電源電流が正常な論理動作 $T P$ パターンにて検出された正常推定箇所を消していくことにより $L S I$ の故障推定箇所を絞り込む方式である。

【0023】また、本発明においては、上記手法にて検出される $L S I$ の故障推定箇所は基本的論理回路単位の間隔であり、さらには信号配線の $T P$ キット情報であることとを特徴としている。

【0024】本発明によれば、 $I d q$ 異常値での論理動作 $T P$ パターンで故障箇所を大幅に絞り込んでいくことができると共に、単一縮退故障、多重縮退故障及びショット不良などの故障モードの解析に対応することができる。さらに、本発明によれば、回路上に物理故障が発生しても論理不良にはならない故障に対して故障箇所を絞り込みができるため、解析の信頼度を大幅に向上させることができる。

20

10

50

【実施例1】図1は、 $C M O S L S I$ の静止状態電源電流 $I d q$ が規格値を越える論理動作 $T P$ パターン ($F T P$) とし、 $L S I$ の故障箇所を検出する処理を示す流れ図である。

【0027】まず、各 $F T P$ に対する $L S I$ の静止状態電源電流 $I d q$ 値を $L S I$ $T P$ スタ等の測定系にて測定する (ステップ101)。

【0028】次に、静止状態電源電流 $I d q$ が規格値を越える $F T P$ を抽出する (ステップ102)。

【0029】抽出された $F T P$ をもとに、その論理動作 $T P$ パターンで変化する、又は変化しない (2通りの使い分けは後述する) 基本的論理回路 (「内部ブロック」という) を論理シミュレーション (103) により抽出し (ステップ104)、その $F T P$ と抽出された内部ブロックの一覧表を作成する (ステップ105)。

【0030】その一覧表をもとにすべての該当する $F T P$ で反応する内部ブロック (単に「ブロック」ともいう) を検出する (ステップ106)。

【0031】本実施例に係る処理に更に詳細に説明する。

【0032】図2は、 $F T P$ 毎に発生する $I d q$ 値の関係を調査した結果を示すグラフであり、 Y 軸は $I d q$ 値を、 X 軸は $F T P$ の番号を表している。この $I d q$ 値対 $F T P$ のグラフにおいて、 $F T P$ 番号 [1]、[2]、[3]、[6]、[7]、[8] は、飛び飛びの $F T P$ で $I d q$ 異常値が発生しており、 $F T P$ [4] ～ [5] 間は連続して $I d q$ 異常値が発生している。

【0033】このように、図2に示された $I d q$ 異常値は2つのモードを有する。まず第1のモードは、 $I d q$ 異常値が発生する論理動作 $T P$ パターンが飛び飛びに発生しているモードであり、第2のモードは、 $I d q$ 異常値が発生する $T P$ パターンが連続しているモードである。そして、以下に説明するように、それぞれのモードに対応して故障箇所の検出方式が異なる。

【0034】まず、第1のモードに対する故障箇所検出方式を説明する。

【0035】飛び飛びの $F T P$ のうち、一の $F T P$ [1] については、 $F T P$ [1] の 1 つ前の $F T P$ ([1] - 1) から $F T P$ [1] へ $T P$ パターンが移行した時、論理が変化するブロックを抽出する。次に $F T P$ [1] から $F T P$ ([1] + 1) へ $T P$ パターンが移行した時、論理が変化するブロックを抽出する。

【0036】同様に、 $F T P$ [2]、[3]、[6]、[7]、[8] に対応するブロックを抽出する。

【0037】この理由は、論理が変化した時、内部回路

上に電源V_{dd}からGNDへの貫通通路が形成されるためであり、I_{ddq}異常が発生し、次の論理へ移行した時には内部回路上に発生した貫通通路が消えるためである。

【0038】簡単な回路を用いて第1のモードを以下に説明する。

【0039】図4は、2入力NOR回路のトランジスタレベルの回路構成を示す図である。図4を参照して、2入力NOR回路は、第1、第2のPチャネルMOSトランジスタPch1、Pch2と、第1、第2のNチャネルMOSトランジスタNch1、Nch2から構成されている。

【0040】第1の入力端子IN1は第1のPチャネルMOSトランジスタPch1、第1のNチャネルMOSトランジスタNch1への入力端子であり、第2の入力端子IN2は第2のPチャネルMOSトランジスタPch2、第2のNチャネルMOSトランジスタNch2への入力端子である。

$$V_{out} \cong V_{dd} \cdot (2 \cdot Z_n) / (Z_p + 2 \cdot Z_n) > V_{th} \cdots (\text{Hレベル}) \quad \cdots (2)$$

【0044】ここに、V_{th}はCMOS論理回路の論理閾値電圧を示している。

【0045】上式(2)に示すように、本来“L”出力であるべき2入力NOR回路の出力値が“H”レベルとなり、期待値と一致せず論理異常となる。

【0046】図5は、図4の2入力NOR回路に対するFTP[1](図2におけるI_{ddq}異常のFTP)における論理を説明するための真理値表である。

【0047】第1のモードは、例えば第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベル以外の入力状態FTP([1]-1)(図4のパターンの組み合わせの第2～第4行)から第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベルの入力状態FTP[1]へ論理が変化した時であり、この変化を論理シミュレーション上で検索して2入力NOR回路に変化があったことを検出する。

【0048】次に、FTP[1]からFTP([1]+1)への変化において、I_{ddq}異常は検出されなくなるため、2入力NOR回路は第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベルの状態から、これ以外の入力状態に変化したことを意味するため、論理シミュレーション上で検索して2入力NOR回路に変化があったことを検出する。

【0049】第2のモードは、連続したFTP[4]～[5]間にてI_{ddq}異常値が発生しているモードであり、以下の検出方式を用いる。

【0050】FTP[4]は、1つ前のFTP([4]-1)からFTP[4]へテストパターンが移行する時、論理が変化するブロックを抽出する。

【0051】FTP([4]+1)は、FTP[4]からFTP([4]+1)へテストパターンが移行する時、論理が

【0041】ここでは、故障として第2のPチャネルMOSトランジスタPch2のゲート電極がオープン状態を仮定する。この時、第2のPチャネルMOSトランジスタPch2はノーマリオン状態になるため、図4中の矢印に示すように、第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベルとなった時にのみ、電源V_{dd}からGNDへ貫通電流が流れI_{ddq}異常となる。

【0042】さらに、PチャネルMOSトランジスタとNチャネルMOSトランジスタのインピーダンスをZ_p、Z_nとした時、I_{ddq}異常時の出力値は、次式(2)で与えられる(この場合、PチャネルMOSトランジスタとNチャネルMOSトランジスタのインピーダンスZ_p、Z_nは実質的にそれぞれのトランジスタのオン抵抗に等しい)。

【0043】

【数2】

変化しないブロックを抽出する。

【0052】同様に～FTP([5]-1)までのFTPは、注目しているFTPと次のFTPの切り変わりにおいて論理が変化しないブロックを抽出する。

【0053】FTP[5]でのブロック抽出は、FTP[5]からFTP([5]+1)へテストパターンが移行する時、論理が変化するブロックを抽出する。

【0054】図4に示した2入力NOR回路の故障モードを用いて第2のモードを説明する。

【0055】図6は、2入力NOR回路に対するFTP[4]～[5](図2参照)における論理を説明するための真理値表である。

【0056】第2のモードでは、まず、FTP[4]の論理状態においてI_{ddq}異常が発生したため、第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベル以外の入力状態FTP([4]-1)から第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベルの入力状態FTP[4]へ論理が変化したことを意味する。

【0057】このため、この変化を論理シミュレーション上で検索して2入力NOR回路に変化があったことを検出する。

【0058】次に、FTP([4]+1)における2入力NOR回路はこの状態でI_{ddq}異常が発生しているため、第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベルの入力状態FTP[4]と同じ状態に固定されている。従って、この状態における論理シミュレーション上での検索は2入力NOR回路の入力形態が変化しないモードを検出する。同様にFTP([5]-1)までの2入力NOR回路は入力形態が変化しないモードを検出する。

【0059】次に、FTP [5]における内部動作回路の検索は、Iddq値が正常になった論理の変化を検出するモードであり、2入力NOR回路は第1の入力端子IN1がHレベル、第2の入力端子IN2がHレベルの入力状態FTP [5]から、IN1がHレベル、IN2がHレベル以外の入力状態FTP ([5]+1)へ論理が変化した時であり、この変化を論理シミュレーション上で検索して2入力NOR回路に変化があったことを検出する。

【0060】ブロックの抽出手法は、電気回路設計時に設計データとして用いたCADデータを用いる。

【0061】ゲートアレイに代表されるASIC (Application Specific Integrated Circuits) はブロックと称する基本的論理回路の組合せにより設計される。この電気回路は主に2種類のデータ、すなわち論理シミュレーションとブロックの配置及び配線にて検証される。そして、各入力信号に基づく内部論理動作の変化は論理シミュレーションにより抽出できる。従って特定のFTPの変化に同期した内部ブロック名は各電気回路毎に保存されている論理シミュレーション (CADデータ) より容易に抽出できる。さらに各ブロックの入出力信号情報もFTP毎に検出される。

【0062】図3は、以上の操作より各Iddq異常が検出されたFTPとそれらのFTPを用いて検出された故障推定ブロック (Ba~Bz) の一例を表にまとめたものである。

【0063】図3において、すべてのFTP [1]~[10]において抽出された故障推定ブロックが故障を有しているブロックである。

【0064】図3を参照して、すべてのFTP [1]~[10]において抽出された故障推定ブロックであるブロックBfが故障を有するブロックとして検出される。

【0065】上記の説明は、ブロック対応により故障箇所を検出していたが、論理シミュレーションは、LSI内部配線系までの故障箇所の絞り込みを行なうことが可能である。

【0066】図4における2入力NOR回路 (第2のPチャネルMOSトランジスタPch2のゲート電極がオープン状態) においては、第2のPチャネルMOSトランジスタPch2のゲート電極に接続される内部配線系は、2-1NOR-IN2として検出される。

【0067】なお、内部配線系における故障箇所の検出方式は内部論理ブロックと同様である。Iddq異常のFTPに対して操作する論理シミュレーション上の出力形態が内部配線のテキスト名称を用いる。

【0068】内部配線系を用いた故障箇所の検出は、ブロックに比べてより詳細な検出が可能となる。しかしながら、内部配線系を用いた故障箇所の検出において、データ量は10Kゲートクラスのゲートアレイ製品でブロック表示の10倍以上となる。

【0069】このため、電気回路からの故障箇所の絞り込みは階層別で行ない、最終段階で内部配線のテキスト名称による絞り込みを行なうことが有効且つ効率的である。

【0070】図7は、階層別絞り込みの方式を説明する図である。

【0071】図7を参照して、電気回路全体を大まかにブロック化した状態 (Ba~Bw) で論理シミュレーションを実施する (ステップ701)。

【0072】ブロックBaに故障を検出されると、次にブロックBaを構成する基本的論理回路単位 (Bc~Bf~Bm) で論理シミュレーションを実行する (ステップ702)。

【0073】ブロックBfに故障を検出すると、ブロックBfを構成している信号配線に注目した論理シミュレーションを実施する。その結果、ブロックBf (2入力NOR回路) の入力ライン「2-1NOR-IN2」に故障があることが検出される (ステップ703)。

【0074】

【実施例2】本発明の別の実施例を以下に説明する。なお、本実施例における故障解析フローは図1のフローに類似している。

【0075】まず、Iddq異常を検出したFTP (FTP IA) に対して論理シミュレーションを用いて内部ブロックの絞り込みを行なう。

【0076】次に各FTP IAに対する内部ブロックのリスト作成において最初に検出されたブロックを基礎として、以降のFTP IA_nにて抽出されない非該当ブロックを順次消去していきながら故障推定されるブロックを絞り込んでいく。

【0077】本実施例に係る故障箇所検出方式は、特に、大規模なLSIの故障箇所絞り込みにおいて大量に発生する故障推定ブロックを整理しながら絞り込んでいく方式として有効である。

【0078】図8は、本実施例に係る故障推定ブロック整理方式により各FTP IAに対する内部ブロックのリストの例を示す図である。図8を参照して、FTP IA1にて内部ブロックB1、B3、B6、Ba、Bf等が検出され、次にFTP IA2にて内部ブロックB1、B6、Ba、Bfが除去され、n番目のFTP IA_nでIddq異常を生じるものとして最終的に内部ブロックBfが抽出されている。

【0079】

【実施例3】本発明のさらに別の実施例を説明する。

【0080】本実施例に係る故障箇所検出方式は、故障推定が大量に抽出されている時のさらなる絞り込みの方式である。

【0081】本実施例においては、Iddq正常状態におけるFTPは論理シミュレーションを用いて正常ブロックと判定し、故障推定のブロックを整理していくもの

である。

【0082】図9は、Iddq正常状態におけるFTPを用いた故障推定ブロックの整理リストの一例を示す図である。図9を参照して、FTP1A1～FTP1A1にてIddq異常により故障が推定された複数の内部ブロックB3、Ba、Bf等は、Iddq正常状態におけるFTP（例えばFTP1N）にて正常動作と判定された内部ブロックB3、Baにて整理され、最終的に故障ブロックとして内部ブロックBfが絞り込まれる。

【0083】以上本発明を上記各実施例に即して説明したが、本発明は、上記態様にのみ限定されるものでなく、本発明の原理に準ずる各種態様を含むことは勿論である。

【0084】

【発明の効果】以上説明したように、本発明によれば、CMOS論理LSIを非破壊にて効率的に故障箇所を特定できるという効果を有する。すなわち、本発明は、回路内部の物理的欠陥を顕在化するIddqパラメータを用いて故障箇所を絞り込むことにより、故障箇所検出のために要する工数を特段に削減できる。

【0085】さらに、本発明によれば、検出される故障箇所は、CMOS論理LSIの出力端子での論理異常に無関係であり、Iddq異常値が検出されれば故障箇所の絞り込みが可能とされるため、解析信頼度を大幅に向上できる。

【0086】また、本発明によれば、Iddq異常として検出される単一縮退故障、多重縮退故障、および信号間ショート不良等CMOS論理LSIの回路上にて発生するすべての故障モードに対して故障箇所を効率的に検出できる。

【0087】特に、従来困難であった多重縮退故障は複数のIddq異常値を検出し、算出することで多重値を判定できるため、詳細な、誤りのない解析が可能となる。

【0088】以上の効果により、本発明は、従来の故障シミュレーションでは実現不可能であったCMOSLSI内部に発生するあらゆる故障モードを確実に最適且つ

効率的に検出し、故障箇所を最小の工数で絞り込むことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明する図であり、Iddqが規格値を越えるFTPと称する論理動作テストパターンに注目してLSIの故障箇所を検出する処理を示す流れ図である。

【図2】本発明の一実施例を説明するための図であり、FTP毎に発生するIddq値の関係を調査したグラフである。

【図3】本発明の一実施例を説明するための図であり、Iddq異常が検出されたFTPとそれらのFTPを用いて検出された故障推定ブロックの対応の一例を一覧としてまとめた図である。

【図4】本発明の一実施例を説明するための基本的論理回路2入力NOR回路の構成を示す図である。

【図5】第1のモードを説明するための2入力NOR回路の真理値表である。

【図6】第2のモードを説明するための2入力NOR回路の真理値表である。

【図7】本発明の別の実施例に係る階層別絞り込みの方式を説明する図である。

【図8】本発明の更に別の実施例に係る故障推定ブロック整理方式を説明する図である。

【図9】Iddq正常状態におけるFTPを用いた故障推定ブロックの整理リストである。

【図10】従来のLSIの故障箇所を検出方法を説明する図である。

【符号の説明】

Pch1、Pch2 第1、第2のPチャネルMOSトランジスタ

Nch1、Nch2 第1、第2のNチャネルMOSトランジスタ

IN1、IN2 第1、第2の入力端子

OUT 出力端子

Ba～Bz ブロック（内部回路ブロック）

【図5】

IN1	IN2	OUT
H	H	L ← FTP[1]
H	L	H
L	H	H
L	L	H

（*出力期待値Lに対し、図3における出力値はHとなる）

2入力NOR回路の真理値表

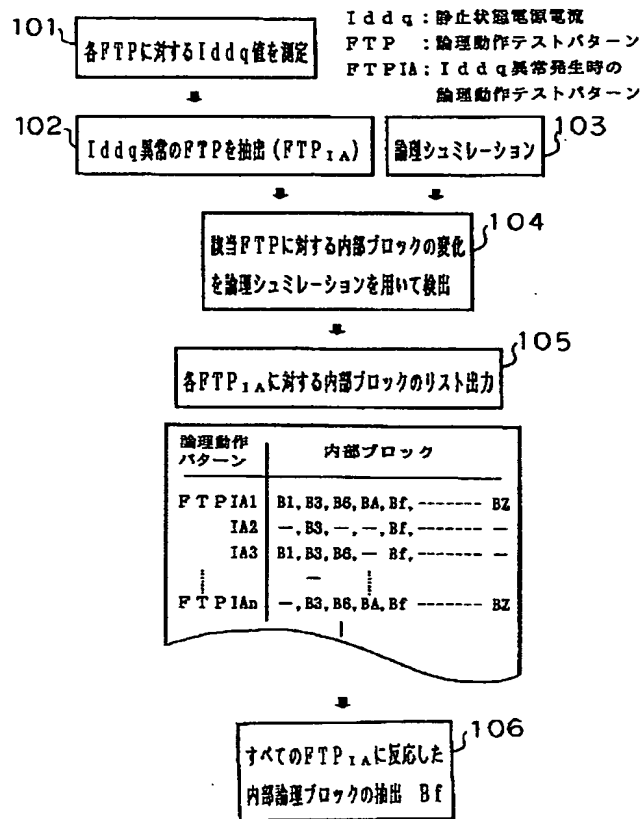
【図6】

IN1	IN2	OUT
H	H	L ← FTP[4]～[5]
H	L	H
L	H	H
L	L	H

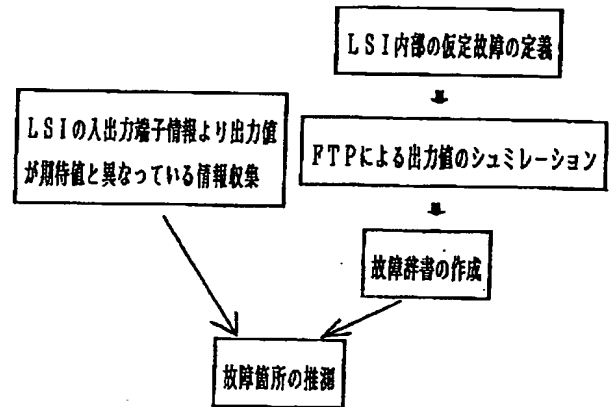
（*出力期待値Lに対し、図3における出力値はHとなる）

2入力NOR回路の真理値表

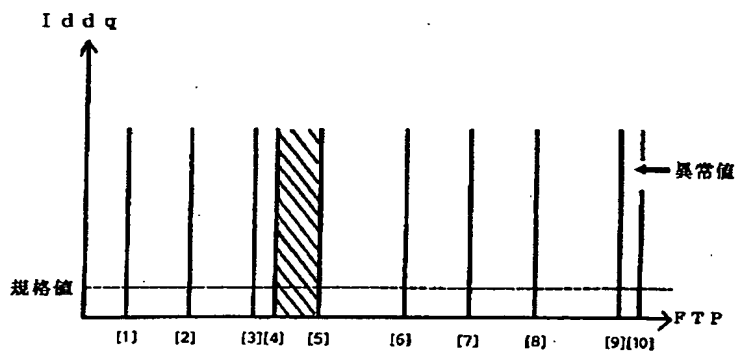
【図1】



【図10】



【図2】

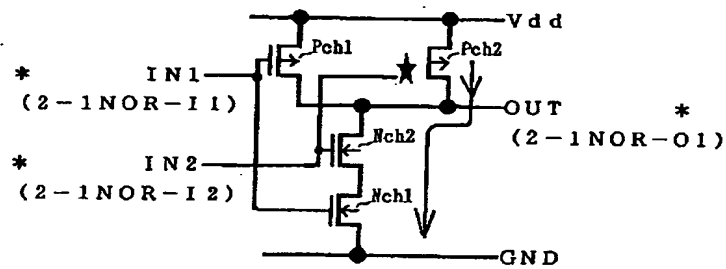


【図3】

抽出 ブロック	B_a	B_b	B_c	B_f	----- B_y	B_z
FTP(1)	○	○	○	○	○	○
FTP(2)	-	-	-	○	-	-
FTP(3)	-	○	-	○	-	-
⋮						
FTP(10)	-	-	○	○	-	-

(すべての I_{ddq} 異常を検出したFTPにて抽出されたブロック)

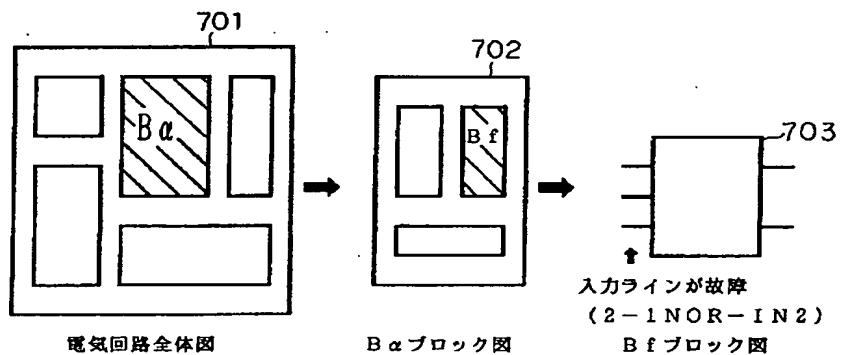
【図4】



★:ゲート電極オープン箇所

* () は論理シミュレーションによる内部配線系の表示

【図7】



【図 8】

論理動作 パターン	内部ブロック	
FTPIA1	B1, B3, B6, Ba, Bf, ----- Bz	← FTPIA1にて検出されたブロック
IA2	-, B3, -, -, Bf, -----	← B1, B6, BA, BZが除去される
IA3	, -, , Bf, -----	← B3が除去される
⋮	⋮	
FTPIAn	, , , Bf -----	←最終的にBfが残る

【図 9】

論理動作 パターン	内部ブロック	
FTPIA1	B1, B3, B6, Ba, Bf, ----- Bz	← FTPIA1にて検出されたブロック
IA2	-, B3, -, Ba, Bf, ----- Bz	← B1, B6 が除去される
IA3	, B3, , Ba Bf, -----	← Bzが除去される
⋮	⋮	
FTPIAn	, B3, , Ba, Bf -----	←Iddq異常でのFTPにてB3, Ba, Bfが残る
FTPIN	B3 Ba	←Iddq正常でのFTPにてB3, Baが正常判定される
	Bf	←最終的にBfが残る